

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024035

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G02F 1/133

(21)Application number : 09-181228

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.07.1997

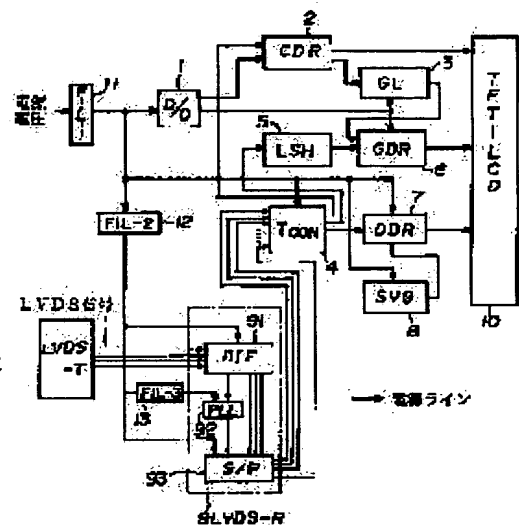
(72)Inventor : IMASHIRO YOSHIHIRO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a low-voltage differential signal converter from malfunctioning owing to noise.

SOLUTION: A low-voltage differential signal transmitter which converts display data outputted by a display controller into a low-voltage differential signal is provided on a host computer side, and a low-voltage differential signal receiver LVDS-R 9 which receives the low-voltage differential signal sent by the low-voltage differential signal transmitter is provided on a display part side; and the low-voltage differential signal receiver LVDS-R 9 consists of circuit blocks constituting at least a differential amplification part 91, a PLL part 92, and a series-parallel conversion part 93 having individual power input terminals, and an element 13 for power source separation which is independent is inserted into the power input terminal of the PLL part 92.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-24035

(43)公開日 平成11年(1999)1月29日

(51) Int.Cl.⁸

G 0 2 F 1/133

識別記号

5 2 0

FI

G O 2 F 1/133

520

審査請求 未請求 請求項の数 1 O.L. (全 8 頁)

(21)出願番号

特願平9-181228

(22)出願日

平成9年(1997)7月7日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 今城 由博

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(74)代理人 弁理士 武 顯次郎

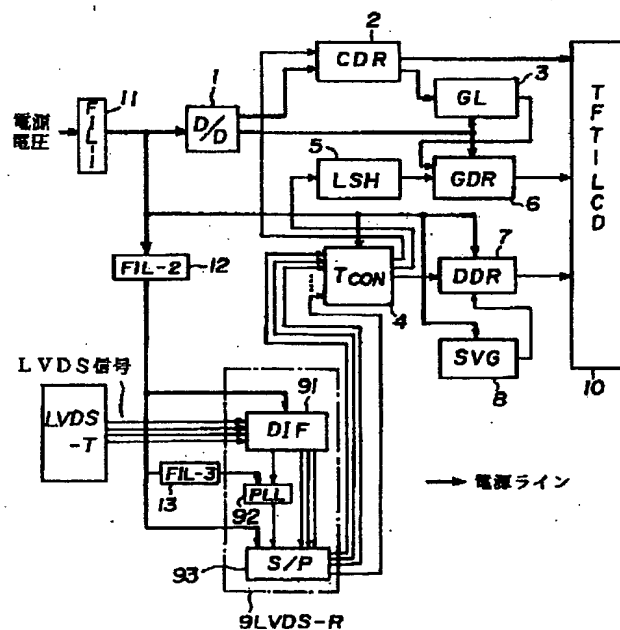
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】低電圧差動信号変換器が電源ノイズにより誤動作するのを防止する。

【解決手段】ホストコンピュータ側に表示コントローラから出た表示データを低電圧差動信号に変換する低電圧差動信号送信器を備え、表示部側に低電圧差動信号送信器から送信された低電圧差動信号を受信する低電圧差動信号受信器LVDS-Rを備え、低電圧差動信号受信器LVDS-Rは、それぞれ個別の電源入力端子を持つ少なくとも差動増幅部91とPLL部92および直並列変換部93をそれぞれ構成する回路ブロックからなり、PLL部92の電源入力端子に独立した電源分離用素子13を挿入した。

☒ 1



【特許請求の範囲】

【請求項1】 ホストコンピュータ側に表示コントローラから出た表示データを低電圧差動信号に変換する低電圧差動信号送信器を備え、表示部側に前記低電圧差動信号送信器から送信された低電圧差動信号を受信する低電圧差動信号受信器を備えた液晶表示装置において、前記低電圧差動信号受信器は、それぞれ個別の電源入力端子を持つ少なくとも差動増幅部とPLL部および直並列変換部をそれぞれ構成する回路ブロックからなり、前記PLL部の電源入力端子に独立した電源分離用素子を具備したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置に係り、特にホストコンピュータの表示コントローラからの表示データを低電圧差動信号の形で液晶表示モジュールの走査信号線駆動回路および映像信号線駆動回路を制御するコントローラに送信する構成を持つ液晶表示装置に関する。

【0002】

【従来の技術】 静止画や動画を含めた各種の画像を表示するデバイスとして液晶表示装置が広く用いられている。

【0003】 この種の液晶表示装置を構成する液晶表示素子は、二枚の基板のそれぞれにストライプ状の透明電極を配置し、二枚の基板を液晶組成物を介して所定の間隙で対向させたときに各ストライプ状電極が互いに交叉してマトリクスを構成し、各交叉部分に画素を形成する単純マトリクス型と、上記基板の一方に形成する電極を各画素毎に分離し、各画素に薄膜トランジスタ等のスイッチ機能を持つ素子を付加したアクティブ・マトリクス型の二つに大別される。

【0004】 薄膜トランジスタ(TFT)に代表されるアクティブ素子を用いたアクティブ・マトリクス型液晶表示装置は、薄型・軽量という特徴とブラウン管に匹敵する高画質という点からOA機器等の表示端末として広く普及し始めている。

【0005】 この液晶表示装置の表示方式には、大別して次の2通りがある。1つは、透明電極が構成された2つの基板(透明ガラス基板等)で液晶組成物層(以下、液晶層あるいは単に液晶とも言う)を挟み込み、この液晶層の分子配向方向を透明電極に印加した電圧で変化させ、透明電極を透過して液晶に入射した光を変調して表示する方式であり、現在、普及している製品のかなり多くがこの方式を採用している。

【0006】 また、もう1つは、同一基板上に構成した2つの電極の間の基板面に形成したほぼ並行な電界により液晶層の分子配向方向を変化させ、2つの電極の隙間から液晶層に入射した光を変調して表示する方式である。この方式を用いた製品は少ないが、視野角が著しく

広いという特徴を持ち、アクティブ・マトリクス型液晶表示装置に関して有望な技術である。

【0007】 前者の方式を開示したものとしたは、例えば特開昭63-309921号公報が、また後者の方式の特徴に関しては、特表平5-505247号公報、特公昭63-21907号公報等に記載されている。

【0008】 上記何れの方式のアクティブ・マトリクス方式の液晶表示装置でも、マトリクス状に配列された複数の画素電極のそれぞれに対応させたスイッチング素子を備えている。各画素における液晶は論理的には常時駆動されているので、時分割駆動される単純マトリクス型の液晶表示装置と比較してコントラストが良く、特にカラー表示では欠かせないものとなっている。

【0009】 図5はこの種の液晶表示装置の液晶モジュールの等価回路を示すブロック図である。

【0010】 この液晶表示モジュールでは、表示部であるTFT-LCDの下側に映像信号線駆動回路103が配置され、側面側に走査信号線駆動回路104、およびコントローラ部101と電源部102が配置されている。

【0011】 コントローラ部101と電源部102は多層プリント基板からなるインターフェース基板に実装され、液晶表示モジュールの額縁領域を縮小するために走査信号線駆動回路104の裏面に配置されている。

【0012】 薄膜トランジスタTFTは隣接する2本のゲート信号線GLの交差領域内に配置され、そのドレイン電極とゲート電極は、それぞれドレイン線DL、ゲート線GLに接続されている。なお、ソース、ドレインは、本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路では、その極性が動作中反転するので、ソース電極とドレイン電極は動作中入れ替わると理解されたい。しかし、以下の説明ではドレイン線DLに接続する方をドレイン電極、画素電極に接続する方をソース電極とする。

【0013】 図6はホストコンピュータと液晶表示モジュールのコントローラ部間の表示データの流れの説明図である。

【0014】 ホストコンピュータ(図中ではPCと表記)の表示コントローラから出た表示データ(ここでは、18bit, 65MHz)は、データ変換されて二つの信号(それぞれ、18bit, 32.5MHz)に分割され、分割された二つの信号は、それぞれ送信側の低電圧差動信号送信器(送信用LVDS、以下単に信号変換器とも言う)LVDS-T₁とLVDS-T₂に入力して低電圧差動信号に変換されてインターフェースコネクタを介して液晶表示モジュール(TFTと表記)の低電圧差動信号受信器(受信用LVDS、以下単に信号変換器とも言う)LVDS-R₁とLVDS-R₂に入力する。

【0015】 信号変換器LVDS-R₁とLVDS-R

2 では、入力した差動信号を元の二つの信号（それぞれ、18bit, 32.5MHz）に戻し、これを走査信号線駆動回路および映像信号線駆動回路を制御するコントローラ TCON に与え、液晶表示モジュールに表示がなされる。

【0016】このように、ホストコンピュータから出力される表示データを二分割して液晶表示モジュールに送信することで、液晶表示モジュールが取り扱う信号の周波数が下がり、EMI (Electro-Magnetic Interference) が発生し難くなる。

【0017】また、ホストコンピュータ側の差動信号送信器である信号変換器 LVDS-T₁ と LVDS-T₂ は並列に入力するデジタル信号を直列のデジタル信号に変換して液晶表示モジュールに送信し、液晶表示モジュール側の差動信号受信器である信号変換器 LVDS-R₁ と LVDS-R₂ は、入力する直列のデジタル信号を並列のデジタル信号に変換して表示信号を再生するので、インターフェースコネクタの端子数が減り、接続の信頼性が向上すると共に、ホストコンピュータと液晶表示モジュール間の高周波電流配線数が減ることで EMI が発生し難くなる。

【0018】

【発明が解決しようとする課題】上記のように、液晶表示装置ではホストコンピュータから液晶表示モジュールへの表示データを所謂低電圧差動信号 (LVDS) の形で効率良く送信し、また信号周波数を下げることで EMI を低減する構成を備えているが、この LVDS を受信する液晶表示モジュール側の信号変換器 LVDS-R₁ と LVDS-R₂ は外来ノイズに弱く、ノイズに起因して誤動作が発生するという問題がある。

【0019】図7は従来の液晶表示モジュール側回路構成を説明するブロック図であって、1はD/D変換器、2はコモンドライバ、3はゲート電圧生成回路、4はTCON、5はレベルシフタ、6はゲートドライバ、7はドレインドライバ、8は階調電圧生成回路、9は受信側の信号変換器 (LVDS-R)、10は表示部 (TFT-LCD) である。なお、ここでは、信号変換器 LVDS-R は二つの信号変換器 (LVDS-R₁ と LVDS-R₂) の何れか一方の構成のみを示し、また F I L-1、F I L-2 は電源ノイズ遮断フィルタで図中太線は電源ラインを示す。

【0020】図示したように、受信側の信号変換器 (LVDS-R) 9 の内部は、基本的には、差動アンプ部 9-1、PLL (Phase Locked Loop) 部 9-2、直並列変換部 (S/P変換部) 9-3 に分かれており、電源ノイズによる誤動作を起こし易いのは PLL 部である。

【0021】ホストコンピュータに設けた送信側の信号変換器 LVDS-T₁ と LVDS-T₂ (ここでは LV

DS-Tとして一個のみ示す) から送信された LVDS 信号は液晶表示モジュールに設けたの受信側の信号変換器 LVDS-R 9 の差動アンプ部 9-1 に入力し、PLL 部 9-2 で発生される基準タイミングに基づいて S/P 変換部 9-3 により並列データとして TCON 4 に供給される。

【0022】TCON 4 は、入力した並列データに基づいてコモンドライバ 2、ゲート電圧生成回路 3、レベルシフタ 5、ゲートドライバ 6、ドレインドライバ 7 を制御し、階調電圧発生回路 8 の階調出力と共に、表示部である TFT-LCD に表示を行う。

【0023】なお、この構成の動作は既知であるので、これ以上の詳しい説明は省略する。同図を構成する各回路ブロックには、電源電圧入力 (ここでは 3.3V) および D/D 変換器 1 で生成した複数の直流電圧が図中の太線で示した電源ラインを介して印加される。

【0024】電源ラインの入力端にはノイズを遮断するためのフィルタ F I L-1 が、また LVDS-R の電源入力端にもフィルタ F I L-2 が挿入されている。なお、同様のフィルタは TCON 4 や DDR 7 および SGV の電源入力端、その他各回路ブロックの電源入力端に挿入される場合もある。

【0025】図示したように、従来は、信号変換器 (LVDS-R) 9 への周辺回路から電源配線を介して回り込むノイズを遮断するために、その全体を一つの電源分離用素子 (EMI フィルタ等) である F I L-2 を設置して液晶表示装置内の他の回路と電源分離を行っている。

【0026】しかし、信号変換器 (LVDS-R) 9 を構成する S/P 変換部 9-3 はむしろノイズの発生源となり、ここから発生するノイズや信号変換器 (LVDS-R) 9 内部の他の回路からのノイズが PLL 部 9-2 の誤動作を誘発するという問題があった。

【0027】本発明の目的は、最もノイズの影響を受け易い PLL 部を、当該信号変換器 (LVDS-R) 内部に存在するノイズ発生源と電源分離することで安定な動作を行うようにした液晶表示装置を提供することにある。

【0028】

【課題を解決するための手段】受信側の信号変換器 (LVDS-R) の多くは、電源入力ピンが複数設けられており、それぞれの電源ピンは当該信号変換器 (LVDS-R) の各回路ブロックに独立に電源を供給するようになっている。このとき、PLL 部の電源入力端だけに独立した電源分離素子 (EMI フィルタなど) を挿入して当該 PLL 部を構成する他の回路と電源分離する。

【0029】すなわち、本発明は、ホストコンピュータ側に表示コントローラから出た表示データを低電圧差動信号に変換する低電圧差動信号送信器を備え、表示部側に前記低電圧差動信号送信器から送信された低電圧差動

10

20

30

40

50

信号を受信する低電圧差動信号受信器を備え、前記低電圧差動信号受信器は、それぞれ個別の電源入力端子を持つ少なくとも差動増幅器とPLL部および直並列変換部(S/P変換部)をそれぞれ構成する回路ブロックからなり、前記PLL部の電源入力端子に独立した電源分離用素子を具備したことを特徴とする。

【0030】これにより、PLL部は液晶表示装置内の他の回路ブロックからだけでなく、信号変換器(LVDS-R)内の他の回路ブロックとも電源分離されるので、PLL部が誤動作する恐れが無くなり、安定した動作で表示が行われる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態につき、実施例を参照して詳細に説明する。

【0032】図1は本発明による液晶表示モジュール側回路構成の一実施例を説明するブロック図であって、前記図7と同様に、1はD/D変換器、2はコモンドドライバ、3はゲート電圧生成回路、4はTCON、5はレベルシフタ、6はゲートドライバ、7はドレインドライバ、8は階調電圧生成回路、9は受信側の信号変換器(LVDS-R)、10は表示部(TFT-LCD)である。なお、ここでも、信号変換器LVDS-Rは二つの信号変換器(LVDS-R₁とLVDS-R₂)の何れか一方の構成のみを示し、またFIL-1、FIL-2、FIL-3は電源ノイズ遮断フィルタ、図中太線は電源ラインを示す。

【0033】図示したように、受信側の信号変換器(LVDS-R)9の内部は、基本的には、差動アンプ部91、PLL部92、直並列変換部(S/P変換部)93に分かれている。

【0034】ホストコンピュータに設けた送信側の信号変換器LVDS-Tから送信されたLVDS信号は液晶表示モジュールに設けた受信側の信号変換器LVDS-R9の差動アンプ部91に入力し、PLL部92で発生される基準タイミングに基づいてS/P変換部93により並列データとしてTCON4に供給される。

【0035】TCON4は、入力した並列データに基づいてコモンドドライバ2、ゲート電圧生成回路3、レベルシフタ5、ゲートドライバ6、ドレインドライバ7を制御し、階調電圧発生回路8の階調出力と共に、表示部であるTFT-LCDに表示を行う。

【0036】同図を構成する各回路ブロックには、電源電圧入力(例えば、3.3V)およびD/D変換器1で生成した複数の直流電圧が図中の太線で示した電源ラインを介して印加される。

【0037】電源ラインの入力端にはノイズを遮断するためのフィルタFIL-1が、またLVDS-Rの電源入力端にもフィルタFIL-2が挿入されている。なお、同様のフィルタはTCON4やDDR7およびSGVの電源入力端、その他各回路ブロックの電源入力端に

挿入される場合もある。

【0038】本実施例では、前記低電圧差動信号受信器である信号変換器LVDS-R9は、それぞれ個別の電源入力端子を持つ差動アンプ部91とPLL部および直並列変換部(S/P変換部)93をそれぞれ構成する回路ブロックからなり、前記PLL部92の電源入力端子に独立した電源分離用素子FIL-3を挿入した。

【0039】これにより、PLL部92は液晶表示装置内の他の回路ブロック、信号変換器LVDS-R9内の他の回路ブロック、特に直並列変換部93とも電源分離されるので、PLL部92が誤動作する恐れが無くなり、安定した動作で表示が行われる。

【0040】図2は本発明による液晶表示モジュールの各種回路基板の実装する状態の説明図であって、下透明基板SUB1と上透明基板SUB2の貼り合わせで成る液晶表示素子PNLの下辺に信号線側フレキシブルプリント基板FPC2が取り付けられ、開口部HOPの配列に沿って液晶表示素子PNLの裏側に折り込まれる。また、左辺に走査線側フレキシブルプリント基板FPC1が取り付けられ、そのコネクタCT3とインターフェース基板PCBのコネクタCTR3および信号線側フレキシブルプリント基板FPC2のコネクタCT4と接続するコネクタCTR4とが結合されて、ホストコンピュータからの信号を接続するインターフェースコネクタCT1、TCON、および後述する受信側信号変換器(LVDS-R)9等を搭載したインターフェース基板PCBが取り付けられる。

【0041】液晶表示素子PNLの表示面側には上偏光板POL1が貼り合わせられ、その内方に表示領域ARが形成される。

【0042】下透明基板の下辺の外縁にはドレインドライバチップIC1が形成され、また左辺の外縁にはゲートドライバチップCH2が形成されている。なお、FGPはフレームグランドパッド、FHLは位置合わせ穴である。

【0043】図3はインターフェース基板PCBのより詳しい平面図であり、HIは電源回路を構成するハイブリッドIC、LVDSは受信側の信号変換器、TCONは信号変換器LVDSで変換された表示データにより走査信号線駆動回路および映像信号線駆動回路を制御して液晶表示素子PNLにデータを表示するコントローラ、CTR3は走査線側フレキシブルプリント基板FPC1のコネクタCT3と接続するコネクタ、CT1はホストコンピュータからの各種信号を接続するインターフェースコネクタ、CTR4は信号線側フレキシブルプリント基板FPC2のコネクタCT4と接続するコネクタ、FHLは位置合わせ穴である。なお、図中の矢印は信号の流れ方向を示す。

【0044】このインターフェース基板PCBは多層のプリント基板、例えばガラスエポキシの多層基板からな

る。

【0045】インターフェースコネクタCT1に入力したホストコンピュータからの表示データは、信号変換器LVDSで処理し易い形式に変換してコントローラTC ONに供給する。コントローラTC ONは走査信号線駆動回路および映像信号線駆動回路を制御して液晶表示素子PNLにデータを表示する。

【0046】この構成例では、インターフェース基板PCB上のインターフェースコネクタCT1とコネクタCTR4の間に信号変換器LVDS、TC ONの順で並べて実装され、表示データが矢印方向に流れる。

【0047】ハイブリッドICである電源回路H1は、コントローラTC ON、信号変換器LVDS、ゲートドライバチップIC2、およびドレインドライバチップIC1等に電源を供給する。

【0048】このインターフェース基板PCBに搭載された信号変換器LVDSは、前記図1で説明した構成を有し、当該信号変換器LVDSを構成するPLL部のノイズによる誤動作が防止され、安定した表示がなされる。

【0049】図4は本発明の液晶表示装置を実装した情報処理装置の一例である可搬型のノートパソコンの説明図である。

【0050】このノートパソコンはキーボード部と表示部とがヒンジで連結されており、キーボード部にはホストコンピュータであるCPUが内蔵され、表示部には本発明による液晶表示装置が実装されている。

【0051】表示部に実装される液晶表示装置は、液晶表示素子PNL、走査信号線側フレキシブルプリント基板FPC1、映像信号線側フレキシブルプリント基板FPC2、本発明による回路構成を有する信号変換器LVDSを実装したインターフェース基板PCB、インバータ電源IV等から構成される。なお、LPCはインバータ電源IVからバックライト組立体を構成する蛍光管に給電するランプケーブルである。

【0052】上記の実施例において、受信側の信号変換器LVDSを構成するPLL部の電源端子のみにEMIフィルタを使用する場合は、信号変換器LVDS全体の電源端子にEMIフィルタを挿入する場合に比べて定格

電流の小さなフィルタを使用できる。定格電流の小さなEMIフィルタは外径寸法が小さいので回路基板の小型化を図ることが容易であり、同一表示画面サイズでありながら外径寸法の小さい液晶表示装置を実現できる。

【0053】

【発明の効果】以上説明したように、本発明によれば、液晶表示部に備える低電圧差動信号変換器の電源ノイズに対する耐性を向上でき、安定した画像表示を可能とした液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示モジュール側回路構成の一実施例を説明するブロック図である。

【図2】本発明による液晶表示モジュールの各種回路基板の実装する状態の説明図である。

【図3】インターフェース基板PCBのより詳しい平面図である。

【図4】本発明の液晶表示装置を実装した情報処理装置の一例である可搬型のノートパソコンの説明図である。

【図5】液晶表示装置の液晶モジュールの等価回路を示すブロック図である。

【図6】ホストコンピュータと液晶表示モジュールのコントローラ部間の表示データの流れの説明図である。

【図7】従来の液晶表示モジュール側回路構成を説明するブロック図である。

【符号の説明】

- 1 D/D変換器
- 2 コモンドライバ
- 3 ゲート電圧生成回路
- 4 TC ON
- 5 レベルシフタ
- 6 ゲートドライバ
- 7 ドレインドライバ
- 8 階調電圧生成回路
- 9 受信側の信号変換器(LVDS-R)
- 9 1 差動アンプ部
- 9 2 PLL部
- 9 3 直並列変換部(S/P変換部)
- 1 0 表示部(TFT-LCD)。

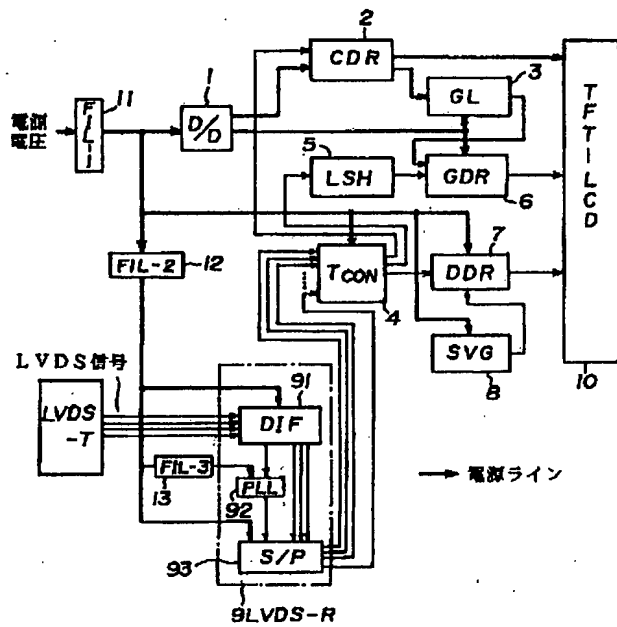
10

20

30

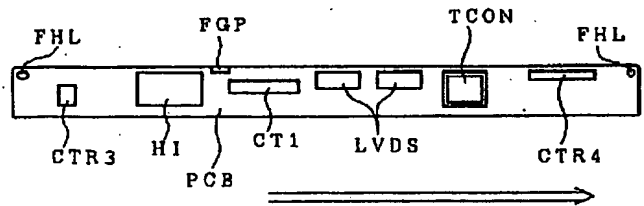
【図1】

図1



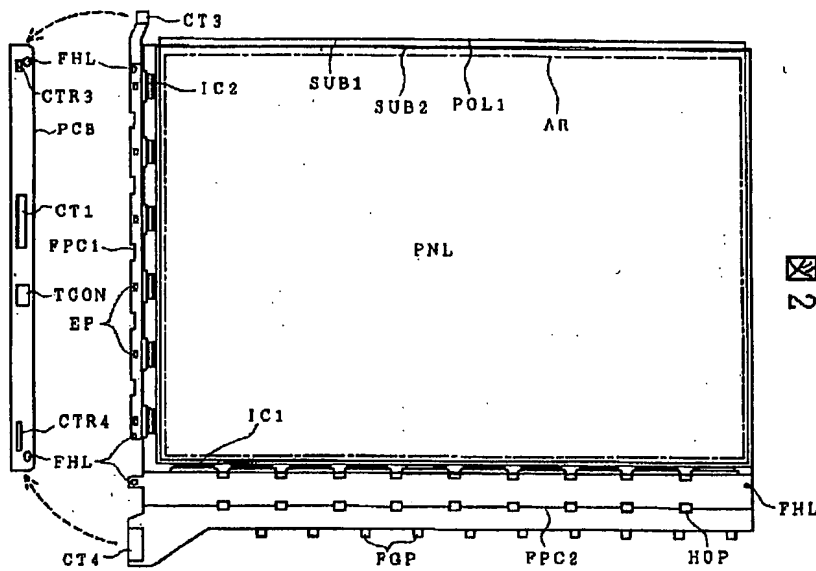
【図3】

図3



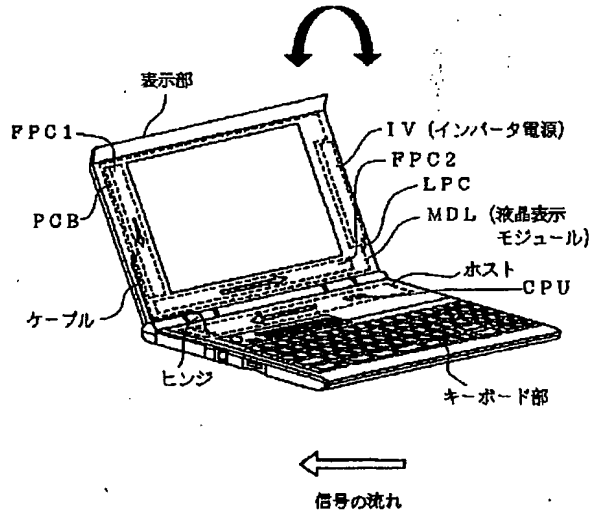
【図2】

図2



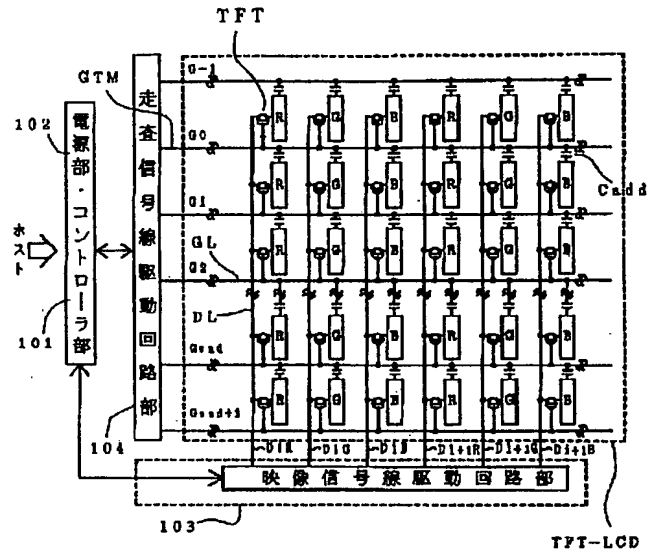
【図4】

図 4



【図5】

図 5



【図6】

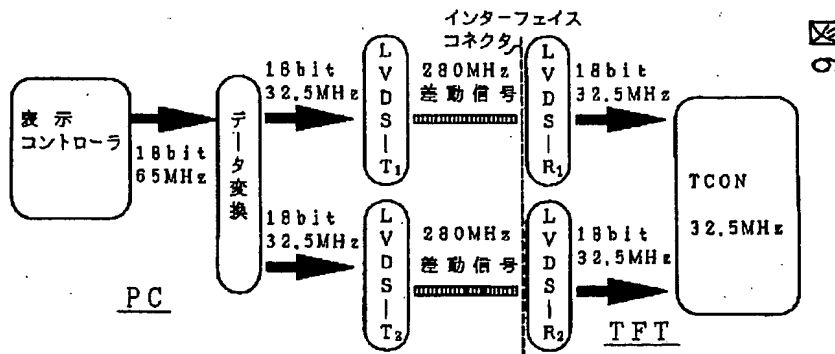


图 7

